

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183807

(43)Date of publication of application : 23.07.1993

(51)Int.Cl.

H04N 5/253

H04N 3/36

(21)Application number : 04-000748

(71)Applicant : SONY CORP

(22)Date of filing : 07.01.1992

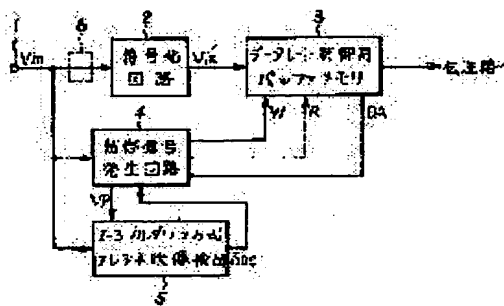
(72)Inventor : FUJISHIRO SHIGEO

(54) VIDEO SIGNAL TRANSMISSION DEVICE

(57)Abstract:

PURPOSE: To efficiently transmit a telecine video signal formed by a 2-3 pull-down system.

CONSTITUTION: A high-efficiency encoding is performed for an input video signal V_{in} in an encoding circuit 2 and the signal is supplied to a buffer memory 8. In a 2-3 pull-down system telecine video signal detection circuit 5, whether the video signal V_{in} is a telecine video signal formed by a 2-3 pull-down system or not is detected. Based on a detection signal SDC from the detection circuit 5, control signals for writing and reading W, R to be supplied to a memory 8 are formed in a control signal generation circuit 4. When the video signal V_{in} is the telecine video signal, the signal is supplied to a transmission line by eliminating a video signal V_{in}' of Nos. 1, 6 fields of a telecine cycle (which overlap with Nos. 3, 8 fields) by the controls of the writing and reading of the memory 8. Since the transmission is performed by eliminating the video signals of the overlapping fields, the transmission efficiency can be improved. The video signals of the eliminated field are reproduced on a reception side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-183807

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.⁵

H04N 5/253
3/36

識別記号

庁内整理番号

9187-5C
7337-5C

FI

技術表示箇所

審査請求 未請求 請求項の数1(全6頁)

(21)出願番号

特願平4-748

(22)出願日

平成4年(1992)1月7日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

藤代 茂夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人

弁理士 山口 邦夫 (外1名)

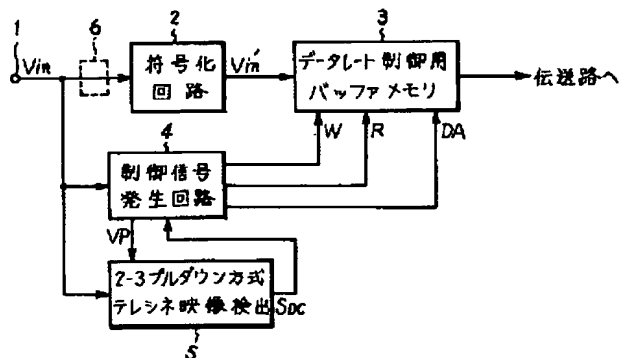
(54)【発明の名称】 映像信号伝送装置

(57)【要約】

【目的】2-3プルダウン方式で形成されたテレシネ映像信号を効率よく伝送する。

【構成】入力映像信号Vinを符号化回路2で高能率符号化をしてバッファメモリ8に供給する。テレシネ映像信号の検出回路5で映像信号Vinが2-3プルダウン方式で形成されたテレシネ映像信号であるか否かを検出する。検出回路5からの検出信号SDCに基づいて、制御信号発生回路4ではメモリ8に供給する書き込み、読み出しの制御信号W、Rを形成する。映像信号Vinが上記テレシネ映像信号であるとき、メモリ8の書き込み、読み出しの制御によって、テレシネ周期のNo.1,6のフィールド(No.3,8のフィールドと重複)の映像信号Vin'を省略して伝送路に供給する。重複するフィールドの映像信号を省略して伝送するので、伝送効率を上げることができる。なお、省略されたフィールドの映像信号は受信側で再現されることになる。

実施例の構成



【特許請求の範囲】

【請求項 1】 入力映像信号が映画フィルムより 2-3 ブルダウン方式で形成されたテレシネ映像信号であるか否かを判別する信号判別手段と、

上記入力映像信号を送送する信号伝送手段とを備え、
上記信号判別手段で上記テレシネ映像信号であると判別されるとき、上記信号伝送手段では上記入力映像信号の重複するフィールドの伝送を省略することを特徴とする映像信号伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、映画フィルムより 2-3 ブルダウン方式で形成された映像信号を送送するのに適用して好適な映像信号伝送装置に関する。

【0002】

【従来の技術】現行のテレビジョン方式（NTSC方式）では、飛び越し走査により 1 フレームを 2 フィールドに分けて伝送しており、毎秒 30 フレーム（60 フィールド）の像数である。これに対して、16mm や 35mm 等の標準映画フィルムは毎秒 24 コマである。この映画フィルムより映像信号（テレシネ映像信号）を形成する方式として、従来 2-3 ブルダウン方式が知られている。

【0003】2-3 ブルダウン方式においては、n 番目のフィルムについては 3 フィールド（3/60 秒）毎にコマ送りされ、n+1 番目のフィルムについては 2 フィールド（2/60 秒）毎にコマ送りされ、フィルム 2 コマと映像信号の 5 フィールドとが対応させられる。そのため、2-3 ブルダウン方式で形成されたテレシネ映像信号は、同一フィルムから形成された 3 フィールドの映像信号と 2 フィールドの映像信号が交互に繰り返されたものとなる。

【0004】例えば、図 4 に示すように、第 1 コマより No. 1~3 のフィールドが形成され、第 2 コマより No. 4, 5 のフィールドが形成され、第 3 コマより No. 6~8 のフィールドが形成され、第 4 コマより No. 9, 10 のフィールドが形成される。以下、これの繰り返しとなる。

【0005】

【発明が解決しようとする課題】2-3 ブルダウン方式で形成されたテレシネ映像信号は、上述した 10 フィールドの周期（以下、「テレシネ周期」という）の No. 1 と No. 3 のフィールド、No. 6 と No. 8 のフィールドが等しいものとなっている（図 4 参照）。そのため、2-3 ブルダウン方式で形成されたテレシネ映像信号をそのまま伝送することは、冗長な信号を伝送することになる。

【0006】そこで、この発明では、2-3 ブルダウン方式で形成されたテレシネ映像信号を効率よく伝送することを目的とするものである。

【0007】

【課題を解決するための手段】この発明は、入力映像信号が映画フィルムより 2-3 ブルダウン方式で形成されたテレシネ映像信号であるか否かを判別する信号判別手段と、入力映像信号を送送する信号伝送手段とを備え、信号判別手段でテレシネ映像信号であると判別されるとき、信号伝送手段では入力映像信号の重複するフィールドの伝送を省略するものである。

【0008】

10 【作用】2-3 ブルダウン方式で形成されたテレシネ映像信号は、上述したようにテレシネ周期の No. 1 と No. 3 のフィールド、No. 6 と No. 8 のフィールドが等しいものとなっている。上述構成においては、2-3 ブルダウン方式で形成されたテレシネ映像信号を送送する際、重複するフィールド（例えば、No. 3, 8 と重複する No. 1, No. 6）が省略されて伝送され、効率よく伝送することが可能となる。

【0009】

20 【実施例】以下、図 1 を参照しながら、この発明の一実施例について説明する。

【0010】同図において、入力端子 1 に供給される映像信号 Vin は符号化回路 2 に供給され、離散コサイン変換（DCT）等によって高能率符号化が行なわれる。符号化回路 2 より出力される符号化された映像信号 Vin' はデータレート制御用のバッファメモリ 3 を介して伝送路に供給される。

30 【0011】また、入力端子 1 に供給される映像信号 Vin は、同期分離回路や PLL 回路等を有してなる制御信号発生回路 4 に供給される。制御信号発生回路 4 では、バッファメモリ 3 に供給される書き込み制御信号 W、読み出し制御信号 R 等が形成される。

【0012】また、入力端子 1 に供給される映像信号 Vin は、2-3 ブルダウン方式のテレシネ映像信号を検出する検出回路 5 に供給される。図 2 は、検出回路 5 の具体構成を示している。

【0013】同図において、映像信号 Vin は直接減算器 11 に供給されると共に、遅延回路（1 フレームの遅延時間）を構成するフィールドメモリ 12, 13 の直列回路を介して減算器 11 に供給され、減算器 11 より 1 フレーム間差信号 SDF が出力される。なお、フィールドメモリ 12, 13 の代わりにフレームメモリを使用してもよい。

【0014】減算器 11 より出力される差信号 SDF は、絶対値回路 14 で絶対値が取られた後に積算回路 15 に供給されて積算される。積算回路 15 における積算値は、フィールドパルス VP の立ち上がりエッジでリセットされる。ここで、フィールドパルス VP は制御信号発生回路 4 より供給される。

50 【0015】積算回路 15 からの積算出力はコンパレータ 16 に供給されて所定の閾値 Vth と比較される。コン

パレータ16の比較出力は、積算出力が閾値 V_{th} より小さいときは“0”となり、一方積算出力が閾値 V_{th} 以上となるときは“1”となる。

【0016】コンパレータ16からの比較出力は、レジスタ(Dフリップフロップ)17~21の直列回路に供給される。レジスタ17~21には、フィールドパルスVPがクロックとして供給される。レジスタ17~21の出力信号はオアゲート22に供給される。

【0017】そして、オアゲート22の出力信号、レジスタ21の出力信号をインバータ23で反転した信号およびレジスタ17~20の出力信号はアンドゲート24に供給され、このアンドゲート24の出力信号が検出信号SDCとして出力される。

【0018】上述したように2-3ブルダウン方式で形成されたテレシネ映像信号は、テレシネ周期のNo. 1とNo. 3のフィールド、No. 6とNo. 8のフィールドが等しいものとなっている(図4参照)。そのため、入力端子1に供給される映像信号Vinが2-3ブルダウン方式で形成されたテレシネ映像信号であるときは、No. 1, 6のフィールドでアンドゲート24の入力信号が全て“1”となり、アンドゲート24からの検出信号SDCは“1”となる(図3Bに図示)。図3Aは映像信号Vinを示している。

【0019】図1に戻って、検出回路5より出力される検出信号SDCは、制御信号発生回路4に供給される。発生回路4からは検出信号SDCに応じて書き込み制御信号Wや読み出し制御信号Rが出力され、バッファメモリ3に供給される。

【0020】すなわち、検出信号SDCが5フィールドおきに“1”となり、映像信号Vinが2-3ブルダウン方式で形成されたテレシネ映像信号であるときは、書き込み制御信号Wとしてテレシネ周期のNo. 2~5、No. 7~10のフィールドでクロックCKが出力されると共に(図3Cに図示)、読み出し制御信号Rとして各フィールドで連続してクロックCK'が出力される(同図Eに図示)。ここで、クロックCK'の周期はクロックCKの5/4倍とされている。

【0021】一方、検出信号SDCが“0”のままであり、映像信号Vinが通常の映像信号であるときは、書き込み制御信号Wおよび読み出し制御信号Rとして各フィールドで連続してクロックCKが出力される。

【0022】バッファメモリ3には、制御信号発生回路4より上述したような制御信号W, Rが供給される。そのため、映像信号Vinが2-3ブルダウン方式のテレシネ映像信号であるときは、バッファメモリ3にテレシネ周期のNo. 2~5, 7~10のフィールドの映像信号Vin'がクロックCKに同期して順次書き込まれると共に(図3Dに図示)、このバッファメモリ3よりNo. 2, 3, ..., 10, 1のフィールドでNo. 2~5, 7~10のフィールドの映像信号Vin'がクロック

CK'に同期して順次読み出されて(同図Fに図示)、伝送路に供給される。

【0023】なお、上述せずとも伝送が省略されるテレシネ周期のNo. 1, 6のフィールドのタイミングで制御信号発生回路4よりバッファメモリ3に省略したことを示すコードデータDAが供給され、映像信号Vin'に付加されて伝送路に供給される。受信側では、コードデータDAによってテレシネ映像信号(重複フィールド省略)であることを認識し、省略されたNo. 1, 6の映像信号Vinが再現されることになる。

【0024】一方、映像信号Vinが通常の映像信号であるときは、バッファメモリ3に各フィールドの映像信号Vin'がクロックCKに同期して順次書き込まれると共に、このバッファメモリ3より各フィールドの映像信号Vin'がクロックCKに同期して順次読み出されて、伝送路に供給される。

【0025】このように本例においては、入力端子1に供給される映像信号Vinが2-3ブルダウン方式で形成されたテレシネ映像信号であるときは、テレシネ周期のNo. 1, 6のフィールド(No. 3, 8のフィールドと重複)の映像信号Vin'を省略して伝送するので、伝送効率を上げることができる。

【0026】なお、上述実施例においては、映像信号Vinが2-3ブルダウン方式で形成されたテレシネ映像信号であるとき、バッファメモリ3からの映像信号Vin'の読み出しをクロックCK'に同期して行なうことで時間軸を伸長し、伝送レートを4/5倍にしているが、読み出しをクロックCKに同期して行なって通常の映像信号のときと同じ伝送レートを保つ場合には、符号化回路2での圧縮率を抑えることができ、高画質の符号化が可能となる。

【0027】この場合、読み出しをクロックCKに同期して行なうと共に、符号化回路2での圧縮率を通常の映像信号のときと同じくするときは、省略したフィールドの代わりに他のデータを挿入して伝送できる。

【0028】また、上述実施例においては、テレシネ周期のNo. 1, 6のフィールドの伝送を省略したものであるが、この代わりにNo. 3, 8のフィールドの伝送を省略するようにしてもよい。

【0029】また、上述実施例における検出回路5では、入力端子1に2-3ブルダウン方式で形成された映像信号Vinが供給されてから5フィールドの遅れをもって検出信号SDCが“1”となるが、図1に破線図示するように符号化回路2の前段に5フィールドの遅延時間を有する遅延回路6を設けることで本信号とのタイミングを合わせることができる。

【0030】また、上述実施例においては、検出回路5を5個のレジスタ17~21を使用して構成したものであるが、レジスタの段数を増加することで、通常映像信号でアンドゲート24より“1”の信号が出力される誤

5

りを少なくすることができる。

【0031】

【発明の効果】この発明によれば、2-3プルダウン方式で形成されたテレシネ映像信号を送送する際、重複するフィールドが省略されて伝送されるので、効率よく伝送することができる。

【図面の簡単な説明】

【図1】実施例の構成を示すブロック図である。

【図2】テレシネ映像信号の検出回路を示すブロック図である。

6

【図3】実施例の動作を示すタイミングチャートである。

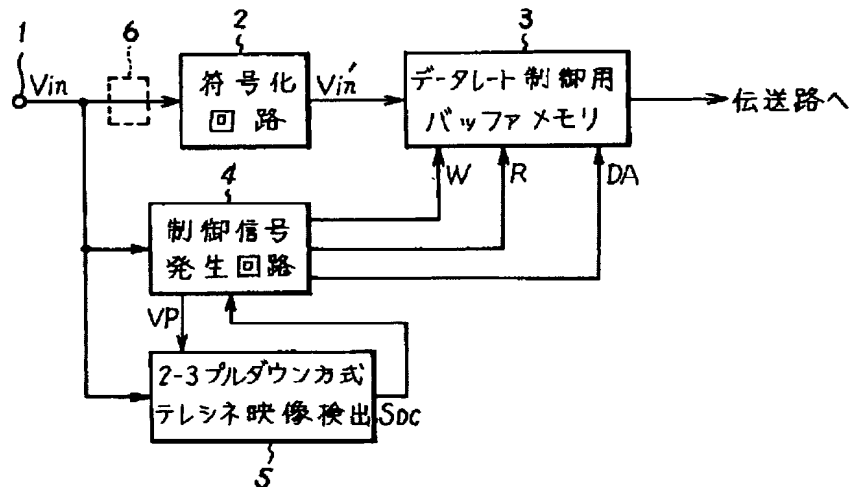
【図4】2-3プルダウン方式の説明のための図である。

【符号の説明】

- 1 入力端子
- 2 符号化回路
- 3 データレート制御用のバッファメモリ
- 4 制御信号発生回路
- 10 5 テレシネ映像信号の検出回路

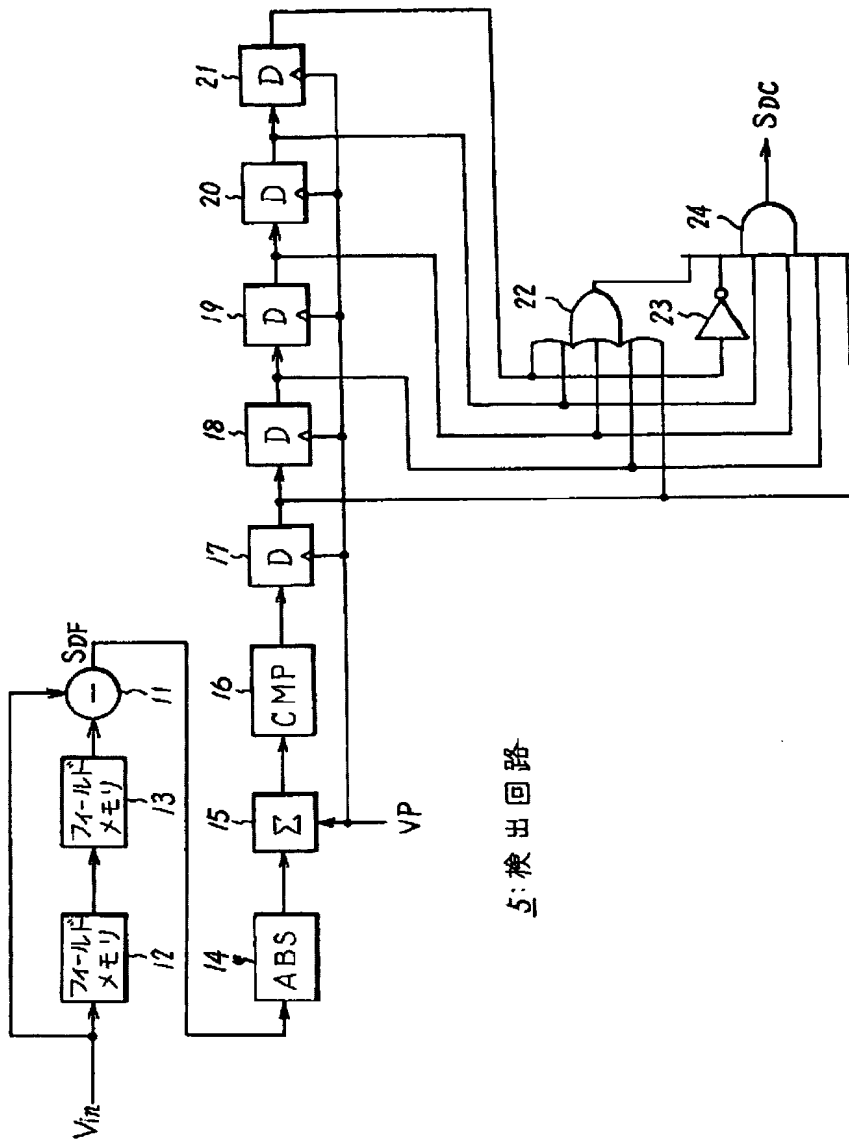
【図1】

実施例の構成



【図2】

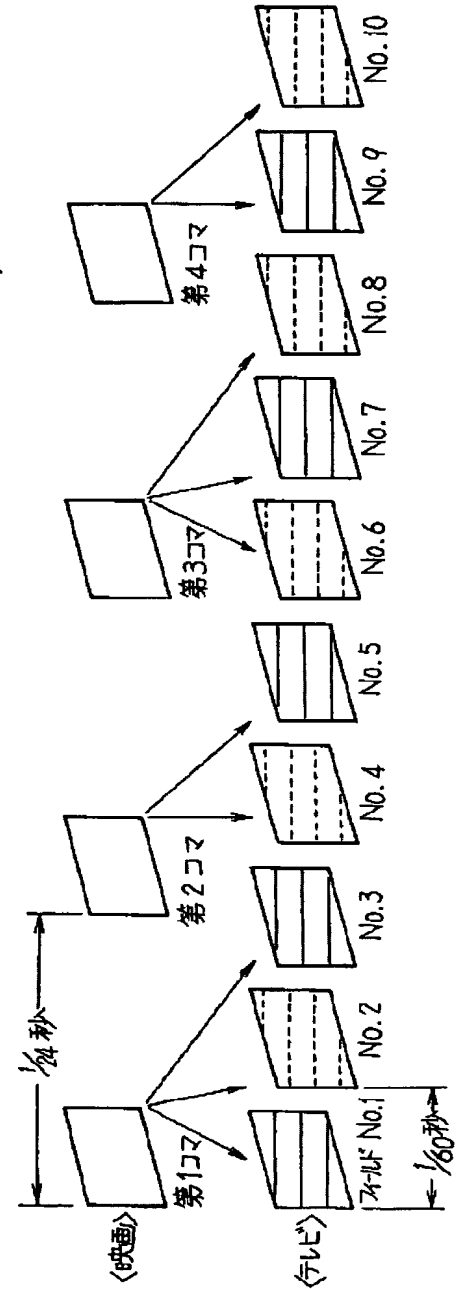
テレビ映像信号の検出回路



5: 検出回路

【図4】

2-3 プルダウン方式



【図3】

実施例の動作

